

218

**DESCRIÇÃO DE UM MICROPROCESSADOR EM VHDL.** *Felipe Rocha da Silva, Fernando Gehm Moraes* (Instituto de Informática, PUCRS).

Este trabalho tem por objetivo implementar um processador simples, descrito à partir da linguagem de descrição de hardware VHDL. Uma vez concluída e validada esta descrição, este trabalho poderá ser utilizado como um módulo (*core*) em estudos de arquiteturas reconfiguráveis, partição hardware-software e ASIPs, a serem implementados em dispositivos programáveis tipo FPGA, e aplicações onde o estudo de arquiteturas é necessário. A CPU segue o Modelo de Von Neumann: bloco de controle e bloco de dados (8 bits), com utilização de registrador acumulador na ULA. A descrição VHDL modela o bloco de dados estruturalmente (registradores, multiplexadores, barramentos e ULA) e o bloco de controle comportamentalmente (processos para decodificação da instrução e geração dos micro-comandos). Para simular esta descrição foi utilizado o software Active-VHDL. Para a validação do código gerado, foi implementado um *test bench* que tem por objetivo avaliar o funcionamento da arquitetura através da instanciação da CPU e a modelagem de uma memória externa, contendo o código objeto a ser executado. O processador está operacional, executando programas armazenados nesta memória. Assim, este trabalho contribui para o aprendizado de implementação de arquiteturas de processadores em um nível alto de abstração. Esta técnica permite desenvolver circuitos rapidamente, com um alto grau de confiabilidade. A próxima etapa do trabalho será a implementação física em dispositivos FPGAs. Para isto serão utilizados os softwares FPGA Express (Synopsys) e XACT (Xilinx). Resultados preliminares indicam uma utilização de 150 blocos lógicos necessários para implementar este processador. Considerando-se que o FPGA utilizado contém 512 blocos lógicos, é possível então implementar um sistema digital completo neste dispositivo. (CNPq/PUCRS).